

Docket No.: 60188-714

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re Application of : Customer Number: 20277
:
Kunimasa TAKAHASHI, et al. : Confirmation Number:
:
Serial No.: : Group Art Unit:
:
Filed: November 20, 2003 : Examiner:
:
For: SiC-MISFET AND METHOD FOR FABRICATING THE SAME

**CLAIM OF PRIORITY AND
TRANSMITTAL OF CERTIFIED PRIORITY DOCUMENT**

Mail Stop CPD
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:

In accordance with the provisions of 35 U.S.C. 119, Applicants hereby claim the priority of:

Japanese Patent Application No. JP 2002-347183, filed on November 29, 2002.

cited in the Declaration of the present application. A certified copy is submitted herewith.

Respectfully submitted,

MCDERMOTT, WILL & EMERY


Michael E. Fogarty
Registration No. 36,139

600 13th Street, N.W.
Washington, DC 20005-3096
(202) 756-8000 MEF:gav
Facsimile: (202) 756-8087
Date: November 20, 2003

60188-714

Kunimasa TAKAHASHI, et al.

November 20, 2003

日 本 国 特 許 庁

JAPAN PATENT OFFICE

McDermott, Will & Emery

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日
Date of Application: 2 0 0 2 年 1 1 月 2 9 日

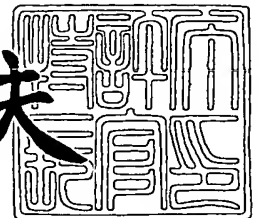
出 願 番 号
Application Number: 特 願 2 0 0 2 - 3 4 7 1 8 3
[ST. 10/C]: [J P 2 0 0 2 - 3 4 7 1 8 3]

出 願 人
Applicant(s): 松下電器産業株式会社

2 0 0 3 年 1 0 月 7 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 0 8 2 6 1 3

【書類名】 特許願

【整理番号】 2033740185

【提出日】 平成14年11月29日

【あて先】 特許庁長官殿

【国際特許分類】 H01L 21/20
H01L 21/302

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 高橋 邦方

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 楠本 修

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 北畠 真

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 内田 正雄

【発明者】

【住所又は居所】 大阪府門真市大字門真 1 0 0 6 番地 松下電器産業株式会社内

【氏名】 山下 賢哉

【特許出願人】

【識別番号】 000005821

【氏名又は名称】 松下電器産業株式会社

【代理人】

【識別番号】 100097445

【弁理士】

【氏名又は名称】 岩橋 文雄

【選任した代理人】

【識別番号】 100103355

【弁理士】

【氏名又は名称】 坂口 智康

【選任した代理人】

【識別番号】 100109667

【弁理士】

【氏名又は名称】 内藤 浩樹

【手数料の表示】

【予納台帳番号】 011305

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9809938

【書類名】 明細書

【発明の名称】 炭化珪素半導体素子

【特許請求の範囲】

【請求項 1】 炭化珪素基板と、前記炭化珪素基板の一方の面上に形成された第 1 導電型の不純物を含む炭化珪素からなる第 1 の不純物ドーパ層と、前記第 1 の不純物ドーパ層内に設けられ第 2 導電型の不純物を含む炭化珪素からなる第 2 の不純物ドーパ層と、前記第 2 の不純物ドーパ層内に設けられ第 1 導電型の不純物を含む炭化珪素からなる第 3 の不純物ドーパ層と、前記第 1 の不純物ドーパ層及び前記第 2 の不純物ドーパ層の上に設けられたゲート絶縁膜と、前記第 2 の不純物ドーパ層と前記ゲート絶縁膜との間に設けられ第 1 導電型の不純物を含む炭化珪素からなる第 4 の不純物ドーパ層と、前記第 4 の不純物ドーパ層の下部に接して設けられ前記第 2 の不純物ドーパ層より高濃度の第 2 導電型の不純物を含む炭化珪素からなる第 5 の不純物ドーパ層と、前記ゲート絶縁膜の上に設けられたゲート電極と、前記第 3 の不純物ドーパ層に接して設けられた第 1 のオーミック電極と、前記炭化珪素基板の他方の面上に設けられた第 2 のオーミック電極とを備えたことを特徴とする炭化珪素半導体素子。

【請求項 2】 ゲート電極と第 2 の不純物ドーパ層との間に印加される電圧が 0 V の状態において、第 5 の不純物ドーパ層によって第 4 の不純物ドーパ層内に形成される空乏層が、ゲート絶縁膜にまで達していることを特徴とする、請求項 1 記載の炭化珪素半導体素子。

【請求項 3】 第 5 の不純物ドーパ層が第 1 の不純物ドーパ層内に備えられていることを特徴とする、請求項 1 または 2 記載の炭化珪素半導体素子。

【請求項 4】 第 5 の不純物ドーパ層が第 2 の不純物ドーパ層に接していることを特徴とする、請求項 3 記載の炭化珪素半導体素子。

【請求項 5】 第 5 の不純物ドーパ層が第 2 の不純物ドーパ層内に備えられていることを特徴とする、請求項 1 または 2 記載の炭化珪素半導体素子。

【請求項 6】 第 5 の不純物ドーパ層の幅が 10 ～ 1000 nm であることを特徴とする、請求項 1 ～ 5 のいずれか 1 項に記載の炭化珪素半導体素子。

【請求項 7】 第 5 の不純物ドーパ層の不純物濃度が、第 2 の不純物ドーパ層

の不純物濃度に比べて10倍以上高いことを特徴とする、請求項1～6のいずれか1項に記載の炭化珪素半導体素子。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、炭化珪素半導体素子、特に炭化珪素を用いたFETに関する。

【0002】

【従来の技術】

炭化珪素（シリコンカーバイド、SiC）は珪素（Si）に比べて高硬度で薬品にも犯されにくく、バンドギャップが大きい半導体であることから、次世代のパワーデバイスや高温動作デバイス等へ応用されることが期待される半導体材料である。炭化珪素は、立方晶系の3C-SiCや六方晶系の6H-SiC、4H-SiC等、多くのポリタイプを有する。この中で、実用的な炭化珪素半導体素子を作製するために一般的に使用されているのが6H-SiC及び4H-SiCである。そして、c軸の結晶軸に対し垂直な（0001）面にはほぼ一致する面を主面とする基板が広く用いられる。

【0003】

炭化珪素半導体素子（SiC半導体素子）は炭化珪素基板（SiC基板）上に半導体素子の活性領域となるエピタキシャル成長層を形成し、この層に素子の種類に応じて必要な領域を設けることにより形成される。FETの場合には、ソース・ドレイン領域及びゲート領域を設けることになる。特に、MIS（金属／絶縁膜／半導体）型のFETのなかでは、ゲート絶縁膜として熱酸化によって形成される酸化膜を用いたMOS（金属／酸化膜／半導体）型のFETが一般的に広く知られている。

【0004】

シリコンでは熱酸化によって良好なゲート絶縁膜となるシリコン酸化膜が形成される。しかしながら、炭化珪素ではシリコンに加えて炭素が存在することから、通常の熱酸化では良好な酸化膜が形成することが非常に困難である。すなわち、炭化珪素では酸化膜中に炭素が存在するために、酸化膜の界面において固定電

荷による電子をトラップする準位が形成されてしまう。このために電流の流れるチャンネル層となる反転層において、非常に低い電子のチャンネル移動度しか実現せず、炭化珪素のMOSFETにおいて大電流を流すことは非常に困難である。この問題を解決するために炭化珪素のパワーFETでは、ゲート酸化膜とp型不純物ドーパ層（p型ウェル領域）との間に蓄積型のチャンネル層となるn型不純物ドーパ層を形成して蓄積型（アキュレーション型）のMOSFET（ACCUFET）とすることが広く用いられている。

【0005】

図5は、従来一般的な炭化珪素を用いた蓄積型MOSFETの構造を示す断面図である。同図に示すように、一般的な炭化珪素の蓄積型MOSFETは、炭化珪素基板100と、前記炭化珪素基板100の主面上に形成された第1導電型（n型）の不純物を含みn型ドリフト層となる第1の不純物ドーパ層101と、前記第1の不純物ドーパ層101内に設けられ第2導電型（p型）の不純物を含みp型ウェル領域となる第2の不純物ドーパ層102と、前記第2の不純物ドーパ層102内に設けられ第1導電型（n型）の不純物を含みソース用コンタクト領域となる第3の不純物ドーパ層103と、前記第1の不純物ドーパ層101及び第2の不純物ドーパ層102の上に設けられたゲート絶縁膜104と、前記第2の不純物ドーパ層102とゲート絶縁膜104との間に設けられ第1導電型（n型）の不純物を含み蓄積型チャンネル層となる第4の不純物ドーパ層105と、前記ゲート絶縁膜104の上に設けられたゲート電極106と、前記第3の不純物ドーパ層103に接して設けられた第1のオーミック電極であるソース電極107と、前記炭化珪素基板100の主面と対向する面の上に設けられた第2のオーミック電極であるドレイン電極108とを備えている（例えば、特許文献1参照）。

【0006】

【特許文献1】

特開2001-144292号公報

【0007】

【発明が解決しようとする課題】

しかしながら、前記従来の蓄積型MOSFETでは、以下のような不具合があった。

【0008】

図5に示すような一般的な蓄積型MOSFETでは、ゲートに電圧を印加していない状態において、ソース・ドレイン間に電流が流れる、いわゆるノーマリーオンの状態となる場合があった。この問題は、n型のソース用コンタクト領域103とn型ドリフト層101が、ゲート電極106と第2の不純物ドープ層102との間に印加される電圧が0Vの状態において、同じ導電型であるn型の蓄積型チャネル層105でつながってしまうことに起因している。このような、ノーマリーオン型の蓄積型MOSFETでは、ドレイン電流の流れないオフ状態にするためにはゲートに負のバイアス電圧を印加して、蓄積型チャネル層中の空乏層がゲート絶縁膜に到達し、ピンチオフ状態となるようにすることが必要である。

【0009】

そこで、蓄積型チャネル層内で形成される空乏層がゲート絶縁膜まで到達するように、蓄積型チャネル層の不純物濃度を低くしたり、逆にp型ウェル領域の不純物濃度を高くすることが行われる。しかしながら、前者の対策では、蓄積型チャネル層におけるキャリアの濃度が低下するために、ゲートに正電圧を印加したオン状態において小さい電流密度のドレイン電流しか実現することができない。また、後者の対策では、p型ウェル領域の不純物濃度が高いことにより不純物散乱の影響が増大する。このため、電子のチャネル移動度が低下してオン抵抗が大きくなり、結果的に高い電流密度のドレイン電流を実現することが困難となる。すなわち、前後者いずれの対策によってノーマリーオフ状態を実現しても、高い電流密度のドレイン電流を流すことは非常に困難である。このように、高い電流密度のドレイン電流とノーマリーオフ状態とはトレードオフの関係があり両立させるのが非常に困難である。したがって、ゲート電圧を印加していない状態ではソース・ドレイン間に電流が流れないノーマリーオフ状態であり、ゲートに正の電圧が印加されたオン状態では高い電流密度のドレイン電流を流すことが可能な蓄積型MOSFETの実現が望まれている。

【0010】

そこで本発明は、上記従来の問題点に鑑み、高い電流密度のドレイン電流を流すことが可能な、ノーマリーオフの炭化珪素半導体素子を提供することを目的とする。

【0011】

【課題を解決するための手段】

上記課題を解決するため、本発明の炭化珪素半導体素子は、炭化珪素基板と、前記炭化珪素基板の一方の面上に形成された第1導電型の不純物を含む炭化珪素からなる第1の不純物ドーパ層と、前記第1の不純物ドーパ層内に設けられ第2導電型の不純物を含む炭化珪素からなる第2の不純物ドーパ層と、前記第2の不純物ドーパ層内に設けられ第1導電型の不純物を含む炭化珪素からなる第3の不純物ドーパ層と、前記第1の不純物ドーパ層及び前記第2の不純物ドーパ層の上に設けられたゲート絶縁膜と、前記第2の不純物ドーパ層と前記ゲート絶縁膜との間に設けられ第1導電型の不純物を含む炭化珪素からなる第4の不純物ドーパ層と、前記第4の不純物ドーパ層の下部に接して設けられ前記第2の不純物ドーパ層より高濃度の第2導電型の不純物を含む炭化珪素からなる第5の不純物ドーパ層と、前記ゲート絶縁膜の上に設けられたゲート電極と、前記第3の不純物ドーパ層に接して設けられた第1のオーミック電極と、前記炭化珪素基板の他方の面上に設けられた第2のオーミック電極とを備えたことを特徴とする。

【0012】

【発明の実施の形態】

本発明の炭化珪素半導体素子は、炭化珪素基板と、前記炭化珪素基板の一方の面上に形成された第1導電型の不純物を含む炭化珪素からなる第1の不純物ドーパ層と、前記第1の不純物ドーパ層内に設けられ第2導電型の不純物を含む炭化珪素からなる第2の不純物ドーパ層と、前記第2の不純物ドーパ層内に設けられ第1導電型の不純物を含む炭化珪素からなる第3の不純物ドーパ層と、前記第1の不純物ドーパ層及び前記第2の不純物ドーパ層の上に設けられたゲート絶縁膜と、前記第2の不純物ドーパ層と前記ゲート絶縁膜との間に設けられ第1導電型の不純物を含む炭化珪素からなる第4の不純物ドーパ層と、前記第4の不純物ドーパ層の下部に接して設けられ前記第2の不純物ドーパ層より高濃度の第2導電

型の不純物を含む炭化珪素からなる第5の不純物ドープ層と、前記ゲート絶縁膜の上に設けられたゲート電極と、前記第3の不純物ドープ層に接して設けられた第1のオーミック電極と、前記炭化珪素基板の他方の面上に設けられた第2のオーミック電極とを備えたことを特徴とする。これにより、高い電流密度のドレイン電流を流すことが可能で、ゲートに電圧を印加していない状態ではドレイン電流の流れないノーマリーオフ型の炭化珪素半導体素子を実現することができる。

【0013】

ここで、ゲート電極と第2の不純物ドープ層との間に印加される電圧が0Vの状態において、第5の不純物ドープ層によって第4の不純物ドープ層内に形成される空乏層が、ゲート絶縁膜にまで達していることが好ましい。これによりゲート電極に電圧を印加していない状態では蓄積型チャネル層として機能する第4の不純物ドープ層内に形成される空乏層によってソース・ドレイン間が遮断されることから、ノーマリーオフの炭化珪素半導体素子を実現することが可能となる。

【0014】

また、本発明の炭化珪素半導体素子において、第5の不純物ドープ層が第1の不純物ドープ層内に備えられていることが好ましい。これにより、素子のオン動作時により高い電流密度のドレイン電流を流すことが可能な、ノーマリーオフの炭化珪素半導体素子を実現することが可能となる。

【0015】

ここで、第5の不純物ドープ層が第2の不純物ドープ層に接していることが好ましい。これにより、第4の不純物ドープ層により効率的に空乏層を形成することが可能となり、ゲート電圧を印加しない状態のドレイン電流の値がより小さい炭化珪素半導体素子を実現することが可能となる。

【0016】

また、本発明の炭化珪素半導体素子においては、第5の不純物ドープ層が第2の不純物ドープ層内に備えられていてもよい。これにより、第5の不純物ドープ層の電位が固定されるため、第4の不純物ドープ層内を完全にピンチオフするような空乏層を形成させやすくなるので、オン動作時のドレイン電流を低下させることなくノーマリーオフの炭化珪素半導体素子を実現することが可能となる。

【0017】

また、第5の不純物ドープ層の幅が10～1000nmであることが好ましい。ここで、ゲート電極及び第1のオーミック電極を含む断面において、第5の不純物ドープ層の、炭化珪素基板表面に垂直な方向の間隔を、第5の不純物ドープ層の幅とする。第5の不純物ドープ層の幅が10nm以上であると、第4の不純物ドープ層内に形成される空乏層が大きくなり、ソース・ドレイン間を遮断させることが容易である。また、第5の不純物ドープ層の幅が1000nm以下であると、素子のオン動作時におけるドレイン電流の電流密度がより高くなる。

【0018】

また、第5の不純物ドープ層の不純物濃度が、第2の不純物ドープ層の不純物濃度に比べて10倍以上高いことが好ましい。これにより、ソース・ドレイン間を確実に遮断することが可能な空乏層を蓄積型チャネル層に形成することが可能となる。

【0019】

(実施の形態1)

まず、本発明の第1の実施形態である、第4の不純物ドープ層である蓄積型チャネル層の下部に接し、第2の不純物ドープ層であるp型ウェル領域より高濃度のp型不純物を含む第5の不純物ドープ層を、第1の不純物ドープ層であるn型ドリフト層内に有する炭化珪素を用いた蓄積型MOSFETについて説明する。

【0020】

図1は、本実施の形態における炭化珪素を用いた蓄積型MOSFETの構造を示す断面図である。同図に示すように、本実施の形態における蓄積型MOSFETは、n型の炭化珪素基板1と、前記炭化珪素基板1の主面上に形成された第1の不純物ドープ層であるn型ドリフト層2と、前記n型ドリフト層2内に設けられた第2の不純物ドープ層であるp型ウェル領域3と、前記p型ウェル領域3内に設けられた第3の不純物ドープ層であるn型のソース用コンタクト領域4と、前記n型ドリフト層2及びp型ウェル領域3の上に設けられたゲート絶縁膜5と、前記p型ウェル領域3とゲート絶縁膜5との間に設けられた第4の不純物ドープ層であるn型の蓄積型チャネル層6と、前記蓄積型チャネル層6内で空乏層を

形成するために前記 n 型ドリフト層 2 内の前記 p 型ウェル領域 3 に接して設けられた第 5 の不純物ドーパ層である p 型のチャネル空乏化層 7 と、前記ゲート絶縁膜 5 の上に設けられたゲート電極 8 と、前記ソース用コンタクト領域 4 の上に設けられたソース電極 9 と、前記炭化珪素基板 1 の主面と対向する面の上に設けられたドレイン電極 10 とを備えている。

【0021】

次に、本実施の形態における蓄積型 MOSFET の作製方法について説明する。まず、炭化珪素基板 1 を準備する。炭化珪素基板 1 としては、例えば、主面が (0001) から [11-20] (112バー0) 方向に 8 度のオフ角度がついた直径 50 mm の 4H-SiC 基板を用いる。この基板は n 型で、キャリア濃度は $1 \times 10^{18} \text{ cm}^{-3}$ である。

【0022】

次に、CVD 法により炭化珪素基板 1 上に n 型ドリフト層 2 となる n 型の不純物ドーパ層をエピタキシャル成長させる。これによって、厚みが $10 \mu\text{m}$ 、キャリア濃度が約 $5 \times 10^{15} \text{ cm}^{-3}$ の蓄積型 MOSFET の n 型ドリフト層 2 が形成される。

【0023】

続いて、蓄積型 MOSFET の p 型ウェル領域 3 を形成するために、n 型ドリフト層 2 の表面に、例えばニッケル (Ni) からなる注入マスクを形成する。この注入マスクは、n 型ドリフト層 2 の一部分を覆い、p 型ウェル領域 3 となる領域を開口している。そして、注入マスクの上方から、n 型ドリフト層 2 内に多段階の Al イオンの注入を行って、活性化アニールを行う。これにより、n 型ドリフト層 2 の一部が、キャリア濃度が $1 \times 10^{17} \text{ cm}^{-3}$ の p 型ウェル領域 3 となる。

【0024】

次に、前記の注入マスクを除去した後、更に、チャネル空乏化層 7 を形成するために p 型ウェル領域 3 と n 型ドリフト層 2 との界面部分に隙間として開口するような Al からなる注入マスクを形成する。そして、前記の界面部分の隙間から n 型ドリフト層 2 内に多段階の Al イオンの注入を行って、活性化アニールを行

う。これにより、n型ドリフト層2内にp型ウェル領域3に接するようにして、キャリア濃度が $2 \times 10^{18} \text{ cm}^{-3}$ のp型のチャンネル空乏化層7が形成される。

【0025】

続いて、CVD法によりp型ウェル領域3及びn型ドリフト層2の表面に蓄積型チャンネル層6となるn型の不純物ドーパ層をエピタキシャル成長させる。これによって、厚みが $0.3 \mu\text{m}$ 、キャリア濃度が約 $5 \times 10^{17} \text{ cm}^{-3}$ の蓄積型MOSFETの蓄積型チャンネル層6が形成される。

【0026】

次に、蓄積型MOSFETのソース用コンタクト領域4を形成するために窒素イオンをp型ウェル領域3に注入し、活性化アニールを行う。これにより、p型ウェル領域3の一部が、キャリア濃度が $1 \times 10^{18} \text{ cm}^{-3}$ のn型のソース用コンタクト領域4となる。

【0027】

これらの処理工程における注入マスクの寸法を調整することによって、p型ウェル領域3上に形成される蓄積型チャンネル層6の幅を約 $10 \mu\text{m}$ とし、チャンネル空乏化層7の幅を $0.5 \mu\text{m}$ とした。

【0028】

次に、 1100°C で熱酸化することで基板表面に厚さ 30 nm のゲート絶縁膜5を形成する。その後、電子ビーム（EB）蒸着装置を用いてソース用コンタクト領域4の表面及び炭化珪素基板1の裏面にNiを蒸着する。続いて、加熱炉で 1000°C で加熱することにより、ソース用コンタクト領域4上には第1のオーミック電極となるソース電極9を、炭化珪素基板1の裏面上には第2のオーミック電極となるドレイン電極10をそれぞれ形成する。

【0029】

最後に、ゲート絶縁膜5上にアルミニウムを蒸着して、ゲート電極8の形成を行う。

【0030】

次に、本実施の形態に係る蓄積型MOSFETの性能を調べるために、電流電圧特性を測定した。その結果について以下に説明する。

【0031】

比較のために、図5に示すような従来の蓄積型MOSFETを準備した。なお、チャンネル空乏化層7が存在しない点を除いて、本実施の形態の蓄積型MOSFETと同じ構造とした。

【0032】

次に、本実施の形態及び従来の蓄積型MOSFETの電流電圧特性を調べた。具体的には、ゲート電極とp型ウェル領域との間に印加される電圧が0Vの状態でのドレイン電流を測定して比較した。

【0033】

その結果、本実施の形態の蓄積型MOSFETでは、従来の蓄積型MOSFETに比べてドレイン電流が2桁近く抑制されていることが判明した。なお、p型ウェル領域を基準にしてゲートに正電圧を印加した状態のオン動作時には、両者のドレイン電流はほぼ等しいことが明らかとなった。この理由としては、次のことが考えられる。

【0034】

まず、従来の蓄積型MOSFETでは、ゲート電極とp型ウェル領域との間に印加される電圧が0Vの状態では蓄積型チャンネル層内で形成される空乏層がゲート絶縁膜まで達していないため、ソース・ドレイン間が導通状態となってしまう。このため、ノーマリーオン状態となるためにドレイン電流が流れてしまう。

【0035】

これに対し、本実施の形態の蓄積型MOSFETでは、p型ウェル領域よりも高濃度のp型不純物を含むチャンネル空乏化層によって、蓄積型チャンネル層内で形成される空乏層がゲート絶縁膜まで達しているために、ソース・ドレイン間が遮断されている。このため、ノーマリーオフ状態となり、ドレイン電流は流れない。ここで、p型のチャンネル空乏化層の存在する領域では不純物散乱の影響により、電子のチャンネル移動度が低下することが考えられるが、この層の幅はp型ウェル領域に比べて1桁以上も小さいことから、オン動作時のドレイン電流への影響も無視できるものと考えられる。

【0036】

以上のことから、n型ドリフト層内にp型ウェル領域に接するようにp型のチャネル空乏化層を形成することにより、オン動作におけるドレイン電流を低下させることなく、ゲート電極と第2の不純物ドーパ層との間に印加される電圧が0Vの状態ではドレイン電流が流れない、ノーマリーオフ型の蓄積型MOSFETを作製できることが示された。

【0037】

なお、本実施の形態においては、チャネル空乏化層がn型ドリフト層内においてp型ウェル領域に接するように設けられていたが、図2に示すようにチャネル空乏化層21がp型ウェル領域3に接していなくても同様の効果を得ることができる。ただし、本実施の形態のように、チャネル空乏化層がn型ドリフト層内においてp型ウェル領域に接している方が、チャネル空乏化層の電位がより確実に固定されるため、より確実に蓄積型チャネル層をピンチオフできるので好ましい。

【0038】

(実施の形態2)

次に、本発明の第2の実施形態である、p型ウェル領域内にそれよりも高い不純物濃度の第5の不純物ドーパ層を部分的に有する炭化珪素を用いた蓄積型MOSFETについて説明する。

【0039】

図3は、本実施の形態における炭化珪素を用いた蓄積型MOSFETの構造を示す断面図である。同図に示すように、本実施形態における蓄積型MOSFETは、n型の炭化珪素基板31と、前記炭化珪素基板31の主面上に形成された第1の不純物ドーパ層であるn型ドリフト層32と、前記n型ドリフト層32内に設けられた第2の不純物ドーパ層であるp型ウェル領域33と、前記p型ウェル領域33内に設けられた第3の不純物ドーパ層であるn型のソース用コンタクト領域34と、前記n型ドリフト層32及びp型ウェル領域33の上に設けられたゲート絶縁膜35と、前記p型ウェル領域33とゲート絶縁膜35との間に設けられた第4の不純物ドーパ層であるn型の蓄積型チャネル層36と、前記蓄積型

チャンネル層 36 内で空乏層を形成するために前記 p 型ウェル領域 33 内に設けられた第 5 の不純物ドーピング層である p 型のチャンネル空乏化層 37 と、前記ゲート絶縁膜 35 の上に設けられたゲート電極 38 と、前記ソース用コンタクト領域 34 の上に設けられたソース電極 39 と、前記炭化珪素基板 31 の主面と対向する面の上に設けられたドレイン電極 40 とを備えている。

【0040】

次に、本実施の形態における蓄積型 MOSFET の作製方法について説明する。まず、炭化珪素基板 31 を準備する。炭化珪素基板 31 としては、例えば、主面が (0001) から [11-20] (112バー0) 方向に 8 度のオフ角度がついた直径 50 mm の 4H-SiC 基板を用いる。この基板は n 型で、キャリア濃度は $1 \times 10^{18} \text{ cm}^{-3}$ である。

【0041】

次に、CVD 法により炭化珪素基板 31 上に n 型ドリフト層 32 となる n 型の不純物ドーピング層をエピタキシャル成長させる。これによって、厚みが $10 \mu\text{m}$ 、キャリア濃度が約 $5 \times 10^{15} \text{ cm}^{-3}$ の蓄積型 MOSFET の n 型ドリフト層 32 が形成される。

【0042】

続いて、蓄積型 MOSFET の p 型ウェル領域 33 を形成するために、n 型ドリフト層 32 の表面に、例えばニッケル (Ni) からなる注入マスクを形成する。この注入マスクは、n 型ドリフト層 32 の一部分を覆い、p 型ウェル領域 33 となる領域を開口している。そして、注入マスクの上方から、n 型ドリフト層 32 内に多段階の Al イオンの注入を行って、活性化アニールを行う。これにより、n 型ドリフト層 32 の一部が、キャリア濃度が $1 \times 10^{17} \text{ cm}^{-3}$ の p 型ウェル領域 33 となる。

【0043】

次に、前記の注入マスクを除去した後、更に、チャンネル空乏化層 37 を形成するために p 型ウェル領域 33 内の一部分を開口した Al からなる注入マスクを形成する。そして、前記 p 型ウェル領域 33 に形成されたマスクの隙間から p 型ウェル領域 33 内に多段階の Al イオンの注入を行って、活性化アニールを行う。

これにより、p型ウェル領域33内に、キャリア濃度が $2 \times 10^{18} \text{ cm}^{-3}$ のp型のチャンネル空乏化層37が形成される。

【0044】

続いて、CVD法によりp型ウェル領域33及びn型ドリフト層32の表面に蓄積型チャンネル層36となるn型の不純物ドーパ層をエピタキシャル成長させる。これによって、厚みが $0.3 \mu\text{m}$ 、キャリア濃度が約 $5 \times 10^{17} \text{ cm}^{-3}$ の蓄積型MOSFETの蓄積型チャンネル層36が形成される。

【0045】

次に、蓄積型MOSFETのソース用コンタクト領域34を形成するために窒素イオンをp型ウェル領域33に注入し、活性化アニールを行う。これにより、p型ウェル領域33の一部が、キャリア濃度が $1 \times 10^{18} \text{ cm}^{-3}$ のn型のソース用コンタクト領域34となる。

【0046】

これらの処理工程における注入マスクの寸法を調整することによって、p型ウェル領域33上に形成される蓄積型チャンネル層36の幅を約 $10 \mu\text{m}$ とし、チャンネル空乏化層37の幅を $0.5 \mu\text{m}$ とした。

【0047】

次に、 1100°C で熱酸化することで基板表面に厚さ 30 nm のゲート絶縁膜35を形成する。その後、電子ビーム（EB）蒸着装置を用いてソース用コンタクト領域34の表面及び炭化珪素基板31の裏面にNiを蒸着する。続いて、加熱炉で 1000°C で加熱することにより、ソース用コンタクト領域34上には第1のオーミック電極となるソース電極39を、炭化珪素基板31の裏面上には第2のオーミック電極となるドレイン電極40をそれぞれ形成する。

【0048】

最後に、ゲート絶縁膜35上にアルミニウムを蒸着して、ゲート電極38の形成を行う。

【0049】

次に、本実施の形態に係る蓄積型MOSFETの性能を調べるために、電流電圧特性を測定した。その結果について以下に説明する。

【0050】

比較のために、図5に示すような従来の蓄積型MOSFETを準備した。なお、チャンネル空乏化層37が存在しない点を除いて、本実施の形態の蓄積型MOSFETと同じ構造とした。

【0051】

次に、本実施の形態及び従来の蓄積型MOSFETの電流電圧特性を調べた。具体的には、ゲート電極とp型ウェル領域との間に印加される電圧が0Vの状態でのドレイン電流を測定して比較した。

【0052】

その結果、本実施の形態の蓄積型MOSFETでは、実施の形態1の場合と同様に、従来の蓄積型MOSFETにくらべてドレイン電流が2桁近く抑制されていることが判明した。なお、p型ウェル領域を基準にしてゲートに正電圧を印加した状態のオン動作時には、両者のドレイン電流はほぼ等しいことが明らかとなった。この理由としては、実施の形態1の場合と同様の理由が考えられる。

【0053】

以上のことから、p型ウェル領域内の一部分にp型のチャンネル空乏化層を形成することにより、オン動作におけるドレイン電流を低下させることなく、ゲート電極と第2の不純物ドーピング層との間に印加される電圧が0Vの状態ではドレイン電流が流れない、ノーマリーオフ型の蓄積型MOSFETを作製できることが示された。

【0054】

なお、本実施の形態においては、一つのチャンネル空乏化層がp型ウェル領域内に設けられていたが、図4に示すように複数のチャンネル空乏化層41がp型ウェル領域33に設けられていると、より確実に蓄積型チャンネル層をピンチオフできる素子を作製すること可能となるので好ましい。

【0055】

また、以上の実施の形態においては、蓄積型MOSFETにチャンネル空乏化層を形成したが、炭化珪素を用いた蓄積型IGBTにチャンネル空乏化層を形成しても前記と同様の効果が得られる。

【 0 0 5 6 】

また、以上の実施の形態においては、蓄積型チャネル層として一様な濃度分布の n 型ドープ層を用いたが、デルタドープ構造のドープ層を用いても本発明の効果が得られる。

【 0 0 5 7 】

また、以上の実施の形態においては、4 H - S i C を炭化珪素基板として用いたが、4 H - S i C 以外のポリタイプからなる基板を用いてもよい。

【 0 0 5 8 】

【発明の効果】

以上のように本発明は、高い電流密度のドレイン電流を流すことが可能な、ノーマリーオフの炭化珪素半導体素子を提供することができる。

【図面の簡単な説明】

【図 1】

本発明の一実施の形態に係る炭化珪素を用いた蓄積型 MOS F E T の構造を示す断面図

【図 2】

本発明の他の実施の形態に係る炭化珪素を用いた蓄積型 MOS F E T の構造を示す断面図

【図 3】

本発明のさらに他の実施の形態に係る炭化珪素を用いた蓄積型 MOS F E T の構造を示す断面図

【図 4】

本発明のさらに他の実施の形態に係る炭化珪素を用いた蓄積型 MOS F E T の構造を示す断面図

【図 5】

従来の炭化珪素を用いた蓄積型 MOS F E T の構造を示す断面図

【符号の説明】

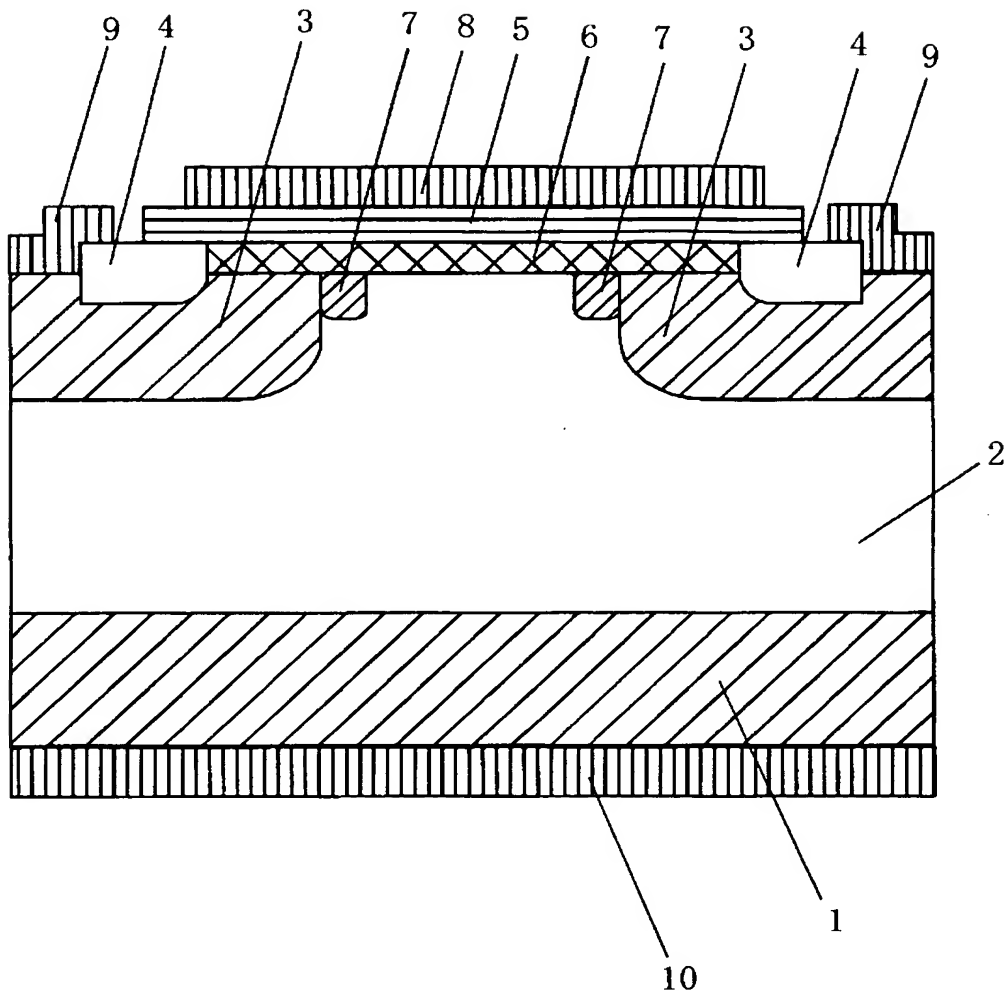
1, 3 1, 1 0 0 炭化珪素基板

2, 3 2, 1 0 1 n 型ドリフト層（第 1 の不純物ドープ層）

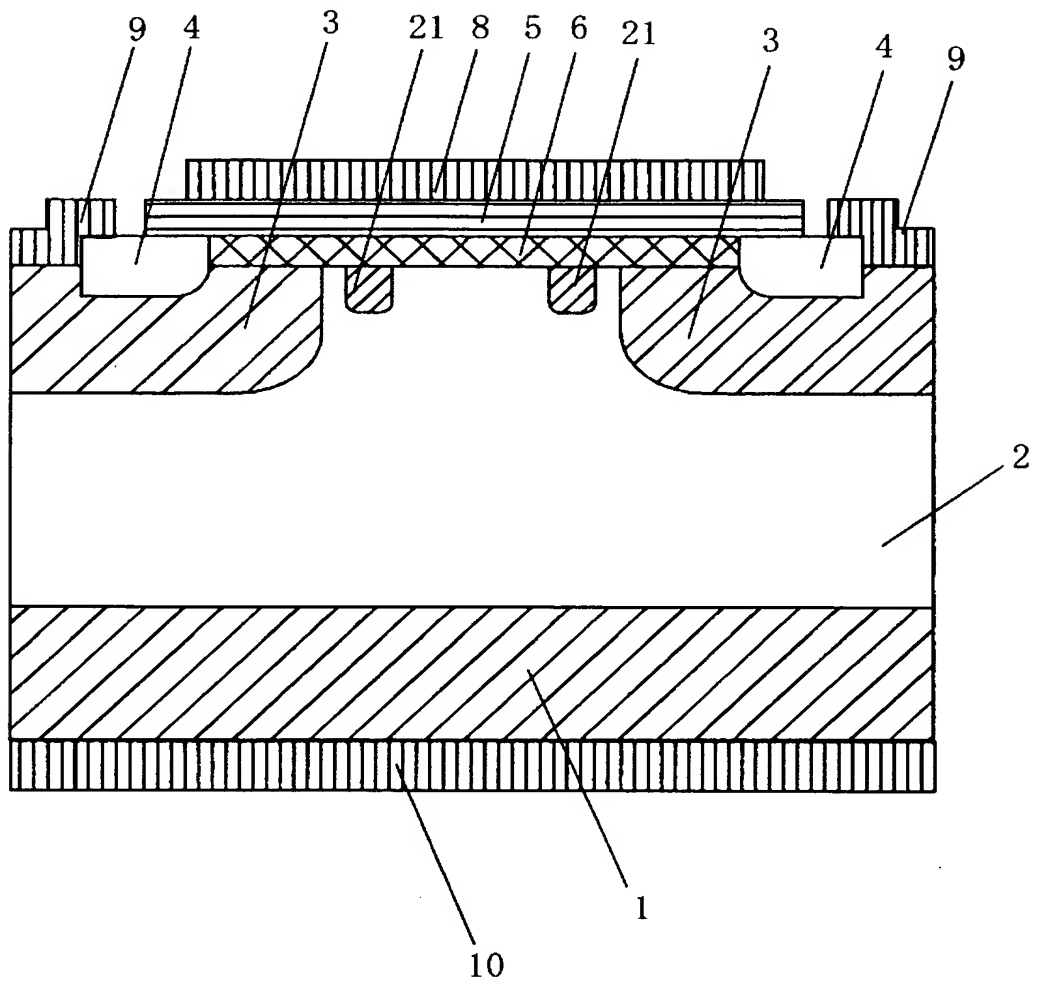
- 3, 3 3, 1 0 2 p 型ウェル領域 (第 2 の不純物ドーピング層)
- 4, 3 4, 1 0 3 ソース用コンタクト領域 (第 3 の不純物ドーピング層)
- 5, 3 5, 1 0 4 ゲート酸化膜 (ゲート絶縁膜)
- 6, 3 6, 1 0 5 蓄積型チャネル層 (第 4 の不純物ドーピング層)
- 7, 2 1, 3 7, 4 1 チャネル空乏化層 (第 5 の不純物ドーピング層)
- 8, 3 8, 1 0 6 ゲート電極
- 9, 3 9, 1 0 7 ソース電極
- 1 0, 4 0, 1 0 8 ドレイン電極

【書類名】 図面

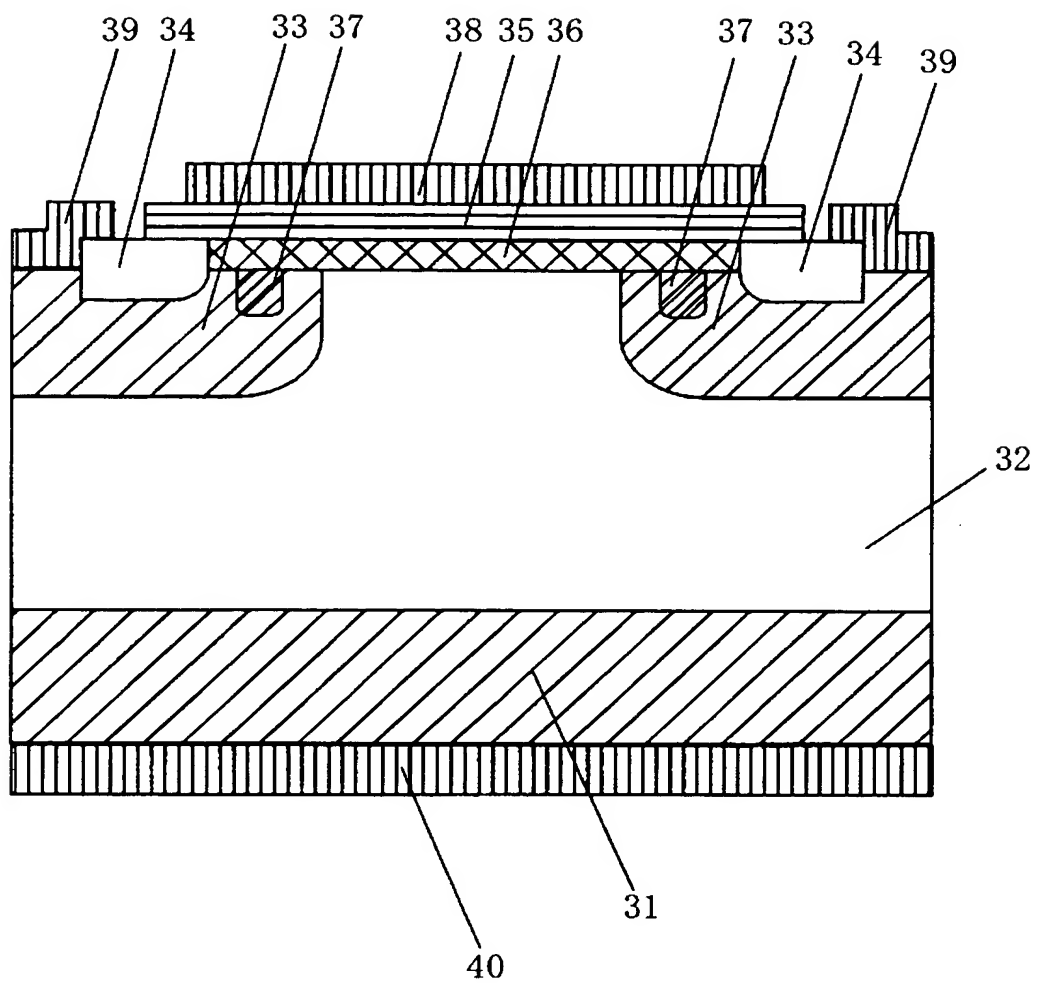
【図 1】



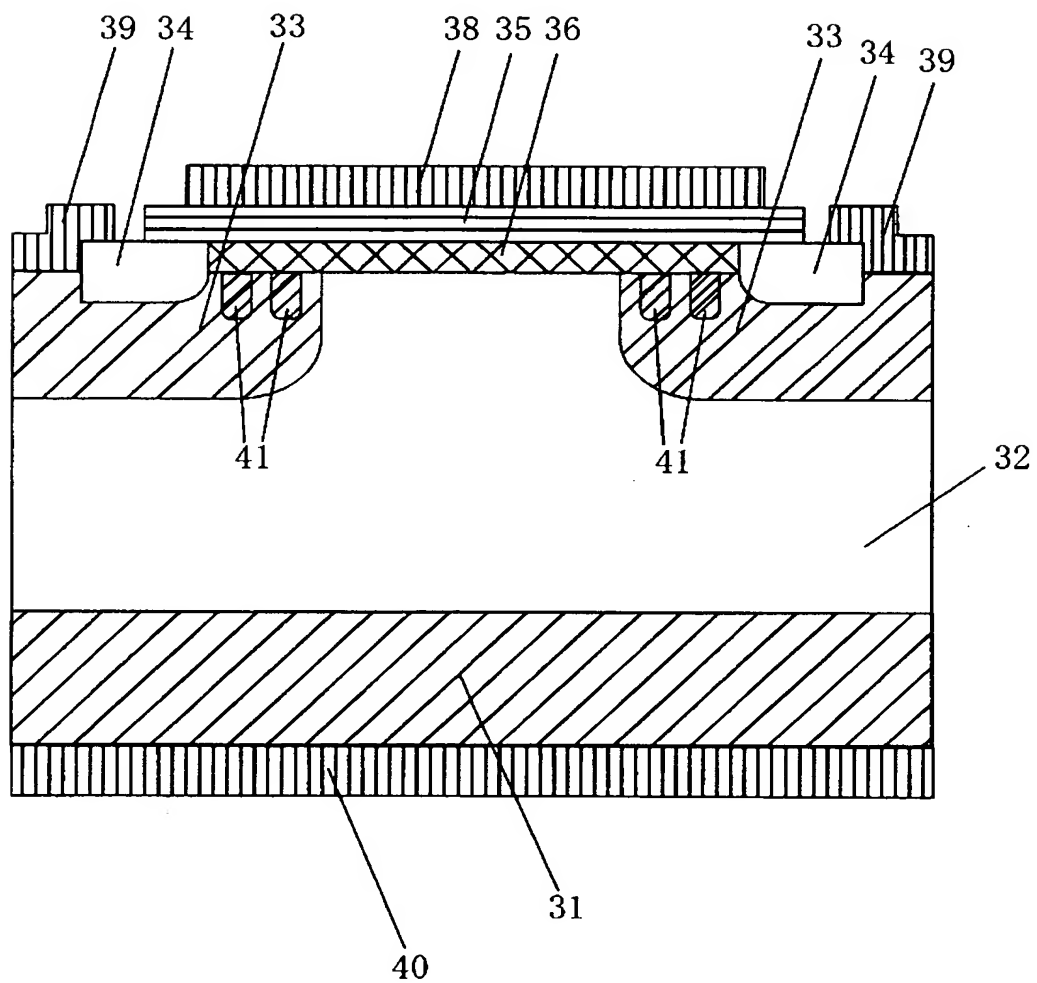
【図 2】



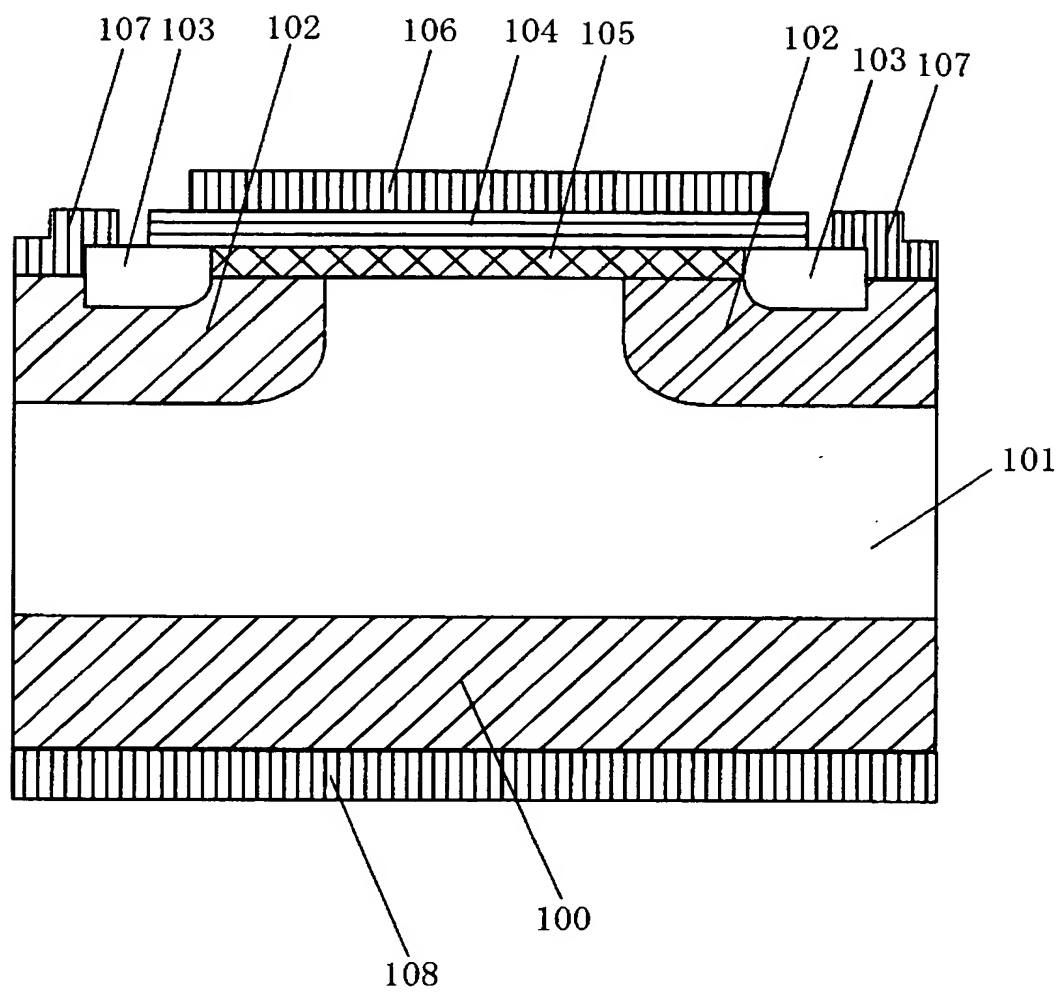
【図 3】



【図 4】



【図 5】



【書類名】 要約書

【要約】

【課題】 高い電流密度のドレイン電流を流すことが可能な、ノーマリーオフの炭化珪素半導体素子を提供する。

【解決手段】 炭化珪素基板 1 上に設けた n 型ドリフト層 2、その中にある p 型ウェル領域 3、その中にあるコンタクト領域 4、n 型ドリフト層 2 及び p 型ウェル領域 3 上のゲート絶縁膜 5、p 型ウェル領域 3 とゲート絶縁膜 5 間の蓄積型チャネル層 6、その下部に接し p 型ウェル領域 3 より高濃度の p 型チャネル空乏化層 7、ゲート絶縁膜 5 上のゲート電極 8、コンタクト領域 4 に接するソース電極 9、炭化珪素基板 1 裏面上のドレイン電極 1 0 を備えた炭化珪素半導体素子。

【選択図】 図 1

特願 2 0 0 2 - 3 4 7 1 8 3

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 8 2 1]

1. 変更年月日

1 9 9 0 年 8 月 2 8 日

[変更理由]

新規登録

住 所

大阪府門真市大字門真 1 0 0 6 番地

氏 名

松下電器産業株式会社